

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345933

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18
// H 0 1 L 27/00

識別記号
3 0 1

F I
H 0 1 L 25/08
27/00
B
3 0 1 B

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平10-151799
(22) 出願日 平成10年(1998)6月1日

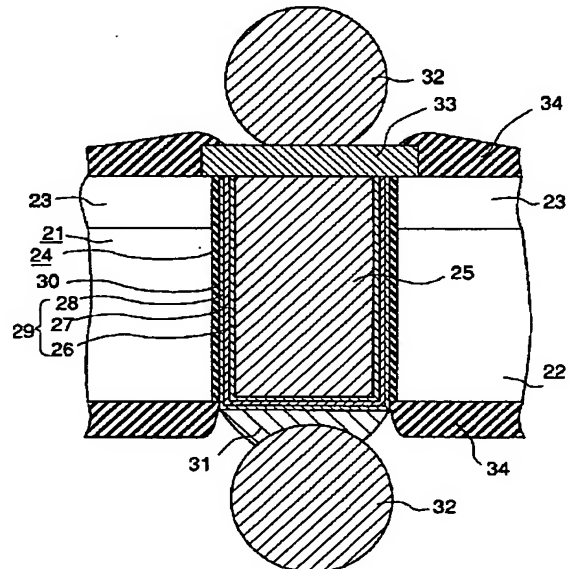
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 木村 学
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 佐々木 圭一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 松尾 美恵
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 弁理士 鈴江 武彦 (外6名)
最終頁に続く

(54) 【発明の名称】 マルチチップ半導体装置およびその製造方法

(57) 【要約】

【課題】 バンプ電極とチップスルーブラグの導電性ベーストとの接続を半田によって行っても、半田の構成材料の拡散による不良発生を防止できるマルチチップモジュールを実現すること。

【解決手段】 半導体チップ21を複数積層してなり、少なくとも1つの半導体チップ21が、そのSi基板21を貫通する貫通孔内にチップスルーブラグ24が形成され、このチップスルーブラグ24がSn-Zn半田31を介してAuバンプ電極32と電気的に接続され、Auバンプ電極32が他のチップに電気的に接続されてなるマルチチップモジュールにおいて、チップスルーブラグ24を、ブラグ本体としての導電性ベースト25と、この導電性ベースト25の側面および底面を覆うバリアメタル膜29と、このバリアメタル29と貫通孔内壁との間に設けられたシリコン窒化膜30とで構成する。



【特許請求の範囲】

【請求項1】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してパンプ電極と電気的に接続され、このパンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペーストと前記半田との間に設けられた導電性バリア膜とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項2】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してパンプ電極と電気的に接続され、このパンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間および前記導電性ペーストと前記半田との間に設けられた導電性バリア膜と、この導電性バリア膜と前記貫通孔内壁との間に設けられた絶縁性バリア膜とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項3】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してパンプ電極と電気的に接続され、このパンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペースト中の隙間を充填する導電性物質とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項4】前記絶縁性バリア膜は、前記導電性ペースト中の不純物が前記半導体基板中に拡散することを防止できるものであることを特徴とする請求項1ないし請求項3のいずれかに記載のマルチチップ半導体装置の製造方法。

【請求項5】前記導電性バリア膜は、前記半田の構成材料が前記導電性ペースト中に拡散することを防止できるものであることを特徴とする請求項2に記載のマルチチップ半導体装置の製造方法。

【請求項6】前記導電性ペーストはガラスを含まないものであり、前記導電性ペーストと前記絶縁性バリア膜との間に密着膜が設けられていることを特徴とする請求項1ないし請求項3のいずれかに記載のマルチチップ半導体装置。

【請求項7】半導体基板の表面に溝を形成する工程と、

前溝の表面を被覆するように全面に絶縁性バリア膜、導電性バリア膜を順次形成する工程と、

前記溝の内部に前記絶縁性バリア膜および導電性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、

前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記導電性バリア膜を露出させる工程とを有することを特徴とするマルチチップ半導体装置の製造方法。

10 【請求項8】半導体基板の表面に溝を形成する工程と、前溝の表面を被覆するように全面に絶縁性バリア膜を形成する工程と、

前記溝の内部に前記絶縁性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記導電性ペースト中の隙間を導電性物質で充填する工程と、

前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記ペーストを露出させる工程とを有することを特徴とするマルチチップ半導体装置の製造方法。

20 【請求項9】前記導電性ペースト中の隙間を導電性物質で充填する工程は、前記導電性ペースト上に液状の導電性物質を塗布する工程からなることを特徴とする請求項8に記載のマルチチップ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のチップを積層してなるマルチチップ半導体装置およびその製造方法に関する。

30 【0002】

【従来の技術】複数の半導体チップより構成される電子回路システムの高機能化、特に高速動作化のために半導体チップ間の接続配線を極力短くすることが必要となってきた。

【0003】そのため、従来の複数の半導体チップを多層基板上に平面的に並べて実装する方法に対して、複数の半導体チップを積層することにより、半導体チップ間の接続配線を極小化する技術が検討されている。このように複数の半導体チップを積層してなる半導体装置はマルチチップモジュールと呼ばれている。

40 【0004】ところで、この種のマルチチップモジュールを製造するには、上下に積層された半導体チップ間を電気的に接続する必要がある。本発明者らはこのような接続を実現するために、図12の断面図に示すように、半導体チップ81を貫通するチップスループラグ82を用いることを既に提案している。

【0005】図13に、図12中破線で囲まれた部分の詳細な断面図を示す。半導体チップ81はSi基板83からなり、その表面には素子が集積形成されてなる回路層84が形成されている。

50

【0006】チップスルーブラグ82は、Ni、Alなどの金属からなる焼結型の導電性ペースト（ブラグ本体）85と、この導電性ペースト85の側面を被覆するように形成されたSiO₂膜86とから構成されている。

【0007】回路層84側においては、導電性ペースト85はAlパッド電極87を介してAuバンパ電極88に接続している。一方、回路層84と反対側においては、導電性ペースト85はSn-Zn半田89を介してAuバンパ電極88と接続している。

【0008】ここで、導電性ペースト85をSn-Zn半田89を介してAuバンパ電極88に接続している理由は、積層された半導体チップ81の一部に不良が発生した場合に、Sn-Zn半田89を溶かして不良な半導体チップ81を取り外し、良品の半導体チップ81と交換することによって、リペアを容易に行えるようにするためである。

【0009】ところで、導電性ペースト85は金属粒子の焼結体であり、図13の断面SEMに係る顕微鏡写真に示すように、金属粒子間には隙間（ポア）が多数存在する。そのため、Sn-Zn半田89の構成材料が隙間を通して導電性ペースト83中に拡散して侵入する。

【0010】図14～図16に、そのことを示す断面SEMの顕微鏡写真を示す。図14はAlペーストの断面SEMに係る顕微鏡写真、図15はAlペースト上にSn-Zn半田をディップ方式により塗布した試料の断面SEMに係る顕微鏡写真、図16はその一部を拡大した顕微鏡写真である。これらの図から、Alペースト上にSn-Zn半田を塗布すると、Sn-Zn半田がAlペースト中に侵入することが分かる。

【0011】導電性ペースト85中に拡散して侵入したSn-Zn半田89の構成材料が、さらにAlパッド電極87に拡散して侵入し、Alパッド電極87のAlを浸食し、最悪の場合、回路層84へと拡散して、半導体チップ81の不良を引き起こす。

【0012】

【発明が解決しようとする課題】上述の如く、従来のマルチチップモジュールは、バンパ電極と導電性ペースト（ブラグ本体）との接続を半田によって行っているため、半田の構成材料が導電性ペースト中の空隙に拡散して侵入し、さらにはパッド電極中に侵入してパッド電極を浸食し、最悪の場合、半導体チップの回路層へと拡散して、半導体チップの不良を引き起こすという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、バンパ電極と導電性ペーストからなる接続ブラグとの接続を半田によって行っても、半田の構成材料の拡散による不良発生を防止できるマルチチップ半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】[構成]上記目的を達成するために、本発明に係る第1のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続ブラグが形成され、この接続ブラグは半田を介してバンパ電極と電気的に接続され、このバンパ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続ブラグが、ブラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペーストと前記半田との間に設けられた導電性バリア膜とから構成されていることを特徴とする。

10

【0015】また、本発明に係る第2のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続ブラグが形成され、この接続ブラグは半田を介してバンパ電極と電気的に接続され、このバンパ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続ブラグは、ブラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間および前記導電性ペーストと前記半田との間に設けられた導電性バリア膜と、この導電性バリア膜と前記貫通孔内壁との間に設けられた絶縁性バリア膜とから構成されていることを特徴とする。

20

【0016】また、本発明に係る第3のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続ブラグが形成され、この接続ブラグは半田を介してバンパ電極と電気的に接続され、このバンパ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続ブラグは、ブラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペースト中の隙間を充填する導電性物質とから構成されていることを特徴とする。

30

【0017】ここで、絶縁性バリア膜は、導電性ペースト中の不純物が半導体基板中に拡散することを防止できるものであることが好ましい。

40

【0018】また、導電性バリア膜は、半田の構成材料が前記導電性ペースト中に拡散することを防止できるものであることが好ましい。

【0019】また、導電性ペーストはガラスを含まないものである場合には、導電性ペーストと絶縁性バリア膜との間に密着膜を設けることが好ましい。

【0020】本発明に係る第1のマルチチップ半導体装置の製造方法は、半導体基板の表面に溝を形成する工程

50

と、前溝の表面を被覆するように全面に絶縁性バリア膜、導電性バリア膜を順次形成する工程と、前記溝の内部に前記絶縁性バリア膜および導電性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記導電性バリア膜を露出させる工程とを有することを特徴とする。

【0021】また、本発明に係る第2のマルチチップ半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、前溝の表面を被覆するように全面に絶縁性バリア膜を形成する工程と、前記溝の内部に前記絶縁性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記導電性ペースト中の隙間を導電性物質で充填する工程と、前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記ペーストを露出させる工程とを有することを特徴とする。

【0022】ここで、導電性ペースト中の隙間を導電性物質で充填するには、例えば無電界メッキ等の方法によって、導電性ペースト上に液状の導電性物質を塗布して行う。

【0023】〔作用〕本発明に係る第1～第3のマルチチップ半導体装置によれば、導電性ペーストと半田との間に導電性バリア膜が設けられているので、この導電性バリア膜によって半田の構成材料が導電性ペースト中に侵入することを防止することが可能となる。これにより、半田の構成材料の拡散による不良発生を防止できるようになる。

【0024】また、本発明に係る第1～第3のマルチチップ半導体装置によれば、導電性ペーストと貫通孔内壁との間に絶縁性バリア膜が設けられているので、この絶縁性バリア膜によって導電性ペースト中の不純物が半導体基板中に拡散することを防止することが可能となる。これにより、導電性ペースト中の不純物の拡散による不良発生を防止できるようになる。

【0025】また、本発明に係る第2のマルチチップ半導体装置によれば、上述した作用効果の他に、例えば本願発明に係る第1のマルチチップ半導体装置の製造方法により、絶縁性バリア膜と導電性バリア膜とを同じ形成工程で形成できるので、プロセスの簡略化を図れるという作用効果も得られる。

【0026】

〔発明の実施の形態〕以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0027】（第1の実施形態）図1は、本発明の第1の実施形態に係るマルチチップモジュールのチップスルーラグ（接続ラグ）を示す断面図である。

【0028】図中、1は半導体チップを示しており、この半導体チップ1はSi基板2とその表面に形成された

素子が集積形成されてなる回路層3とで構成されている。半導体チップ1にはそれを貫通するチップスルーラグ4が形成されている。

【0029】チップスルーラグ4は、Ni、Alなどの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト（プラグ本体）5と、この導電性ペースト5の側面を被覆するシリコン窒化膜（絶縁性バリア膜）6と、回路層3側と反対側の導電性ペースト5上に形成されたTi膜7、Ni膜8、Pd膜9からなるバリアメタル膜（導電性バリア膜）10とから構成されている。

【0030】このバリアメタル膜10はSn-Zn半田11を介してAuバンプ電極12と接続している。一方、回路層3側においては、導電性ペースト5はAlバッド電極13を介してAuバンプ電極12に接続している。なお、図中、14はパッシベーション膜を示している。

【0031】このような構成であれば、導電性ペースト5とSn-Zn半田11との間のバリアメタル膜10によって、Sn-Zn半田11の構成材料が導電性ペースト5中の隙間に拡散して侵入することを防止することができる。

【0032】これにより、Sn-Zn半田11の構成材料の拡散による回路層10に形成された素子の不良発生、すなわち半導体チップ1の不良発生を防止できるようになる。

【0033】また、導電性ペースト5とSi基板2との間のシリコン窒化膜6によって、導電性ペースト5中の不純物例えば鉛ガラスなどの重金属ガラス中の重金属が、Si基板2中に拡散することを防止することができる。これにより、導電性ペースト5中の不純物の拡散による回路層10に形成された素子の不良発生、すなわち半導体チップ1の不良発生を防止できるようになる。

【0034】次にチップスルーラグ24の形成方法について説明する。図2は、チップスルーラグ4の形成方法を示す工程断面図である。この形成方法は、通常のチップスルーラグの形成工程後に、バリアメタル膜10の形成工程が追加されたものである。

【0035】まず、図2(a)に示すように、回路層3が形成されたSi基板2に導電性ペースト5、シリコン窒化膜6、パッシベーション膜14を周知の方法に従って形成した後、パッシベーション膜14の開口部15の内面を被覆するように、Ti膜7、Ni膜8、Pd膜9を例えばスパッタ法により順次形成する。

【0036】次に図2(b)に示すように、開口部15およびその周囲近傍を覆うレジストパターン16をフォトリソグラフィにより形成する。

【0037】次に図2(c)に示すように、レジストパターン16をマスクにして露出しているNi膜8、Pd膜9をエッチングして除去する。この結果、Ti膜7が

10

20

30

40

50

露出する。この後、レジストパターン 16 を例えばアッシングして剥離する。

【0038】次に図 2 (d) に示すように、露出した Ti 膜 7 を覆うレジストパターン 17 を形成した後、Pd 膜 9 上に Sn-Zn 半田 11 を形成する。この後、レジストパターン 17 を例えばアッシングして剥離する。

【0039】次に図 2 (e) に示すように、Sn-Zn 半田 11 をマスクにして露出している Ti 膜 7 をエッチングして除去する。

【0040】最後に、図 2 (f) に示すように、Sn-Zn 半田 11 をウェットエッチングにより後退させて、チップスルーブラグ 4 が完成する。

【0041】(第 2 の実施形態) 図 3 は、本発明の第 2 の実施形態に係るマルチチップモジュールのチップスルーブラグ (接続ブラグ) を示す断面図である。

【0042】図中、21 は半導体チップを示しており、この半導体チップ 21 は Si 基板 22 とその表面に形成された素子が集積形成されてなる回路層 23 とで構成されている。半導体チップ 21 にはそれを貫通するチップスルーブラグ 24 が形成されている。

【0043】チップスルーブラグ 24 は、Ni、Al などの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト (ブラグ本体) 25 と、この導電性ペースト 25 の側面および回路層 23 と反対側の表面 (底面) を被覆する TiN 膜 26、Ti 膜 27、Ni 膜 28 からなるバリアメタル膜 (導電性バリア膜) 29 と、このバリアメタル膜 29 を介して導電性ペースト 25 の側面に形成されたシリコン窒化膜 (絶縁性バリア膜) 30 とから構成されている。

【0044】バリアメタル膜 29 は、Sn-Zn 半田 31 を介して Au バンプ電極 32 と接続している。一方、回路層 23 側においては、導電性ペースト 25 は Al バッド電極 33 を介して Au バンプ電極 32 に接続している。なお、図中、34 はパッシベーション膜を示している。

【0045】このような構成であれば、導電性ペースト 25 と Sn-Zn 半田 31 との間のバリアメタル膜 29 によって、Sn-Zn 半田 31 の構成材料が導電性ペースト 25 中に拡散して侵入することを防止することができる。これにより、Sn-Zn 半田 31 の構成材料の拡散による回路層 23 に形成された素子の不良発生、すなわち半導体チップ 21 の不良発生を防止できるようになる。

【0046】また、導電性ペースト 25 と Si 基板 22 との間のシリコン窒化膜 30 によって導電性ペースト 25 中の不純物、例えば鉛ガラスなどの重金属ガラス中の重金属が Si 基板 22 中に拡散することを防止することが可能となる。これにより、導電性ペースト 25 中の不純物の拡散による回路層 23 に形成された素子、すなわち半導体チップ 21 の不良発生を防止できるようにな

る。

【0047】次にチップスルーブラグ 24 の形成方法について説明する。図 4～図 6 は、チップスルーブラグ 24 の形成方法を示す工程断面図である。

【0048】まず、図 4 (a) に示すように、Si 基板 22 の表面に回路層 23 を形成し、続いて ICP タイプの高密度プラズマを用いた反応性イオンエッチング (RIE: Reactive Ion Etching) により、回路層 23 を貫通し、Si 基板 22 の途中の深さまで達する溝 35 を形成する。この溝 35 の開口径は 50～100 μm、深さは 150～200 μm である。

【0049】次に図 4 (b) に示すように、溝 35 の表面を覆うように全面にシリコン窒化膜 30 を CVD 法により形成する。

【0050】次に図 4 (c) に示すように、シリコン窒化膜 30 上に Ni 膜 28 をスパッタ法またはメッキ法により形成する。

【0051】次に図 4 (d) に示すように、Ni 膜 28 上に Ti 膜 27、TiN 膜 26 をスパッタ法により順次形成する。ここで、TiN 膜 26 は CVD 法により形成しても良い。

【0052】次に図 4 (e) に示すように、溝 35 の内部を充填するように全面に導電性ペースト 25 をスクリーン印刷法等により塗布する。

【0053】次に図 5 (f) に示すように、溝 35 の外部の余剰な導電性ペースト 25、TiN 膜 26 および Ti 膜 27 を CMP 等により除去する。この後、導電性ペースト 25 を焼成する。

【0054】次に図 5 (g) に示すように、溝 35 の外部の余剰なシリコン窒化膜 30 を CMP 法または CDE 法により除去する。

【0055】次に図 5 (h) に示すように、導電性ペースト 25 上に Al または Cu 添加 Al 等からなる Al バッド電極 35 を形成した後、窒化シリコン、ポリイミド等からなるパッシベーション膜 34 を形成する。

【0056】次に図 5 (i) に示すように、溝 35 の底面から約 1 μm 程度の厚さの Si を残して、Si 基板 22 の裏面を研磨して後退させる。

【0057】次に図 6 (j) に示すように、シリコン窒化膜 30 が露出するまで、Si 基板 22 の裏面をウェットエッチングまたは CDE により後退させる。この結果、Si 基板 21 には貫通孔が形成されることになる。

【0058】次に図 6 (k) に示すように、露出したシリコン窒化膜 30 をウェットエッチングまたは CDE により除去して、Ni 膜 28 を露出させる。この結果、半導体チップを貫通するチップスルーブラグ 24 が完成する。

【0059】この後の工程は通常のマルチチップモジュールの形成工程が続き、例えば図 6 (l) に示すように、Si 基板 22 の裏面側に窒化シリコン、ポリイミド

等からなるバッシベーション膜34を形成する工程、図6(m)に示すように、Sn-Zn半田31およびA1パッド電極33を形成する工程、Auパンプ電極32を接続する工程が続く。

【0060】このような形成方法であれば、図3に示したバリアメタル膜29とシリコン窒化膜30を同じ形成工程で形成できるので、第1の実施形態のようにシリコン窒化膜30を形成した後に別工程でバリア膜10を形成する方法に比べて、少ない工程数で済み、プロセスの簡略化を図ることができる。

【0061】(第3の実施形態)図8は、本発明の第3の実施形態に係るマルチチップモジュールのチップスルーブラグ(接続ブラグ)を示す断面図である。

【0062】図中、41は半導体チップを示しており、この半導体チップ41はSi基板42とその表面に形成された素子が集積形成された回路層43とで構成されている。半導体チップ41にはそれを貫通するチップスルーブラグ44が形成されている。

【0063】このチップスルーブラグ44は、Ni、Alなどの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト(ブラグ本体)45と、この導電性ペースト45中の導電性粒子間の隙間(ボア)を充填するNiBなどの金属からなる充填金属46と、導電性ペースト45の側面を被覆するシリコン窒化膜47から構成されている。

【0064】回路層43側においては、導電性ペースト45はA1パッド電極48を介してAuパンプ電極49に接続している。一方、回路層43とは反対側においては、導電性ペースト45はSn-Zn半田50を介してAuパンプ電極49と接続している。なお、図中、51はバッシベーション膜を示している。

【0065】このような構成であれば、導電性ペースト45中の導電性粒子間の隙間(ボア)が充填金属46によって充填されているので、Sn-Zn半田50の構成材料が導電性ペースト中に拡散して侵入することを防止することができる。これにより、Sn-Zn半田50の構成材料の拡散による回路層43に形成された素子の不良発生、すなわち半導体チップ41の不良発生を防止できるようになる。

【0066】また、導電性ペースト45とSi基板42との間のシリコン窒化膜47によって導電性ペースト45中の不純物、例えば鉛ガラスなどの重金属ガラス中の重金属がSi基板42中に拡散することを防止することが可能となる。これにより、導電性ペースト45中の不純物の拡散による回路層43に形成された素子の不良発生、すなわち半導体チップ41の不良発生を防止できるようになる。

【0067】次にチップスルーブラグ44の形成方法について説明する。図9～図11は、チップスルーブラグ44の形成方法を示す工程断面図である。

【0068】まず、図9(a)に示すように、Si基板42の表面に回路層43を形成し、続いてICPタイプの高密度プラズマを用いたRIEにより、回路層43を貫通し、Si基板42の途中の深さまで達する溝52を形成する。この溝52の開口径は50～100μm、深さは150～200μmである。

【0069】次に図9(b)に示すように、溝52の表面を覆うように全面にシリコン窒化膜47をプラズマCVD法により形成する。

10 【0070】次に図9(c)に示すように、溝52の内部を充填するように全面に導電性ペースト45をスクリーン印刷法等により塗布する。

【0071】次に図9(d)に示すように、溝52の外部の余剰な導電性ペースト45をCMP等により除去する。この後、導電性ペースト45を焼成する。

20 【0072】次に図9(e)に示すように、液状のNi等の充填金属46を無電解メッキ等により全面に塗布し、導電性ペースト45の金属粒子間の隙間(ボア)を充填金属46によって充填する次に図10(f)に示すように、溝52の外部の余剰な充填金属46をCMP等により除去する。

【0073】次に図10(g)に示すように、溝52の外部の余剰なシリコン窒化膜47をCMP法またはCDE法により除去する。

【0074】次に図10(h)に示すように、導電性ペースト45上にAlまたはCu添加Al等からなるAlパッド電極48を形成した後、窒化シリコン、ポリイミド等からなるバッシベーション膜51を形成する。

30 【0075】次に図10(i)に示すように、溝52の底面から約1μm程度の厚さのSiを残して、Si基板42の裏面を研磨する。

【0076】次に図11(j)に示すように、溝52の底面のシリコン窒化膜47が露出するまで、Si基板42の裏面をウエットエッチングまたはCDEにより後退させる。この結果、Si基板42には貫通孔が形成されることになる。

40 【0077】次に図11(k)に示すように、露出したシリコン窒化膜47をウエットエッチングまたはCDEにより除去して、導電性ペースト45を露出させる。この結果、半導体チップを貫通するチップスルーブラグ44が完成する。

【0078】この後の工程は通常のマルチチップモジュールの形成工程が続き、例えば図11(l)に示すように、Si基板42の裏面側に窒化シリコン、ポリイミド等からなるバッシベーション膜51を形成する工程、図11(m)に示すように、Sn-Zn半田50およびAlパッド電極48を形成する工程、Auパンプ電極49を接続する工程が続く。

50 【0079】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、導電性ベ

ーストとして鉛ガラスなどの重金属ガラスを含有したものを使用したが、鉛ガラス等のガラス成分を含有しないものを使用しても良い。

【0080】この場合、ガラス成分がないので、導電性ペーストとSi基板との間の密着性が低下する。このような不都合は導電性ペーストとSi基板との間に、導電性ペースト中の導電性粒子と反応性して密着性を高めることができる密着膜を挿設すると良い。

【0081】例えば、導電性ペーストとしてNiペーストを用いた場合には、密着膜としてNi膜またはNb膜を用いると良い。また、導電性ペーストとしてAlペーストを用いた場合には、密着膜としてNi膜、パラジウム膜または多結晶Si膜を用いると良い。また、密着膜の成膜方法としては、例えばスパッタ法、無電界メッキ法等があげられる。

【0082】図7に、NiペーストをNi膜上に焼成してなる試料を断面SEMによって観察した結果である顕微鏡写真を示す。上記Ni膜はスパッタ法により形成した。図から、Niペースト中のNi粒子とNi膜との間において反応が起きていることが分かる。

【0083】したがって、第2の実施形態の場合において、導電性ペースト25としてNiペーストを使用するときは、導電性ペースト25とSi基板22との間、この場合には導電性ペースト25とTiN膜26との間にNi膜を挿設すれば良い。

【0084】また、上実施形態では、絶縁性バリア膜としてシリコン窒化膜を用いたが、導電性ペーストとSi基板とを絶縁し、導電性ペースト中の不純物がSi基板中に拡散することを防止できるものであれば他の絶縁膜であっても良い。

【0085】また、上実施形態では、導電性バリア膜として、Ti膜、Ni膜、Pd膜の積層膜や、TiN膜、Ti膜、Ni膜の積層膜を用いたが、半田の構成材料が導電性ペースト中に拡散することを防止できるものであれば、他の積層構造の導電性膜あるいは単層膜であっても良い。

【0086】また、半田もSn-Zn半田に限定されるものではない。

【0087】また、他の半導体チップと電気的に接続されていないチップスルーブラグを有する半導体チップがあっても良い。すなわち、放熱性の改善の目的のみでチップスルーブラグを形成した半導体チップがあっても良い。

【0088】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0089】

【発明の効果】以上詳説したように本発明によれば、導電性ペーストと半田との間に導電性バリア膜が設けられているので、この導電性バリア膜によって半田の構成材料が導電性ペースト中に拡散して侵入することを防止す

ることが可能となり、これにより半田の構成材料の拡散による不良発生を防止できるマルチチップ半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るマルチチップモジュールのチップスルーブラグを示す断面図

【図2】同チップスルーブラグの形成方法を示す工程断面図

【図3】本発明の第2の実施形態に係るマルチチップモジュールのチップスルーブラグを示す断面図

【図4】同チップスルーブラグの形成方法を示す工程断面図

【図5】図4に続く同チップスルーブラグの形成方法を示す工程断面図

【図6】図5に続く同チップスルーブラグの形成方法を示す工程断面図

【図7】NiペーストをNi膜上に焼成してなる試料を断面SEMによって観察した結果を示す顕微鏡写真

【図8】本発明の第3の実施形態に係るマルチチップモジュールのチップスルーブラグを示す断面図

【図9】同チップスルーブラグの形成方法を示す工程断面図

【図10】図9に続く同チップスルーブラグの形成方法を示す工程断面図

【図11】図10に続く同チップスルーブラグの形成方法を示す工程断面図

【図12】従来のマルチチップモジュールを示す断面図

【図13】同マルチチップモジュールのチップスルーブラグの詳細な構造を示す断面図

【図14】導電性ペースト中に金属粒子間の隙間（ボア）が存在することを示す断面SEMに係る顕微鏡写真

【図15】Alペーストの断面SEMに係る顕微鏡写真

【図16】Alペースト上にSn-Zn半田をディップ方式により塗布した試料の断面SEMに係る顕微鏡写真

【図17】図15の一部を拡大した顕微鏡写真

【符号の説明】

1…半導体チップ

2…Si基板

3…回路層

4…チップスルーブラグ（接続ブラグ）

5…導電性ペースト（ブラグ本体）

6…シリコン窒化膜（絶縁性バリア膜）

7…Ti膜

8…Ni膜

9…Pd膜

10…バリアメタル膜（導電性バリア膜）

11…Sn-Zn半田

12…Auバンプ電極

13…Alパッド電極

14…パッシベーション膜

10

20

30

40

50

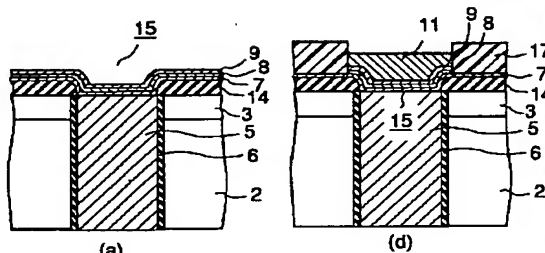
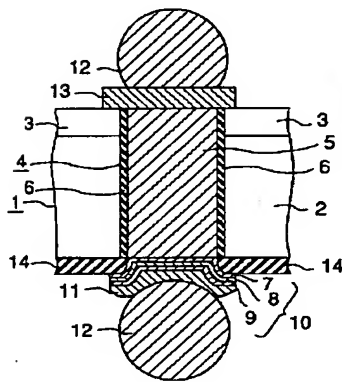
- 15…開口部
 16…レジストパターン
 17…レジストパターン
 21…半導体チップ
 22…Si基板
 23…回路層
 24…チップスループラグ（接続プラグ）
 25…導電性ペースト（プラグ本体）
 26…TiN膜
 27…Ti膜
 28…Ni膜
 29…バリアメタル膜（導電性バリア膜）
 30…シリコン窒化膜（絶縁性バリア膜）
 31…Sn-Zn半田
 32…Auバンプ電極

- * 33…Alパッド電極
 34…パッシベーション膜
 35…溝
 41…半導体チップ
 42…Si基板
 43…回路層
 44…チップスループラグ（接続プラグ）
 45…導電性ペースト（プラグ本体）
 46…充填金属
 10 47…シリコン窒化膜（絶縁性バリア膜）
 48…Alパッド電極
 49…Auバンプ電極
 50…Sn-Zn半田
 51…パッシベーション膜
 * 52…溝

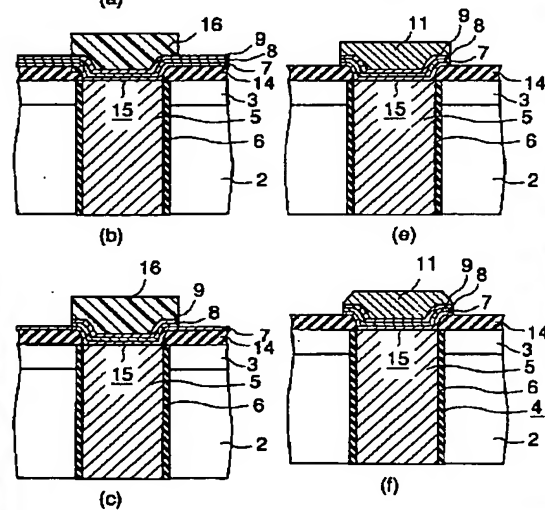
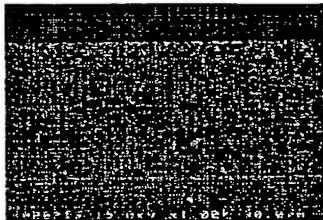
【図1】

【図2】

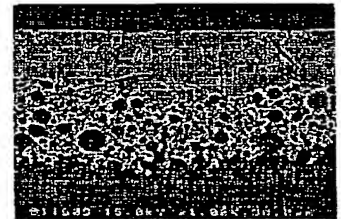
【図14】



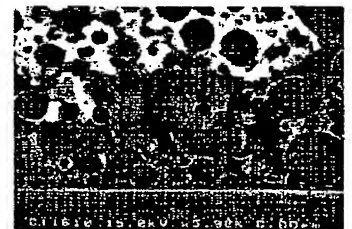
【図15】



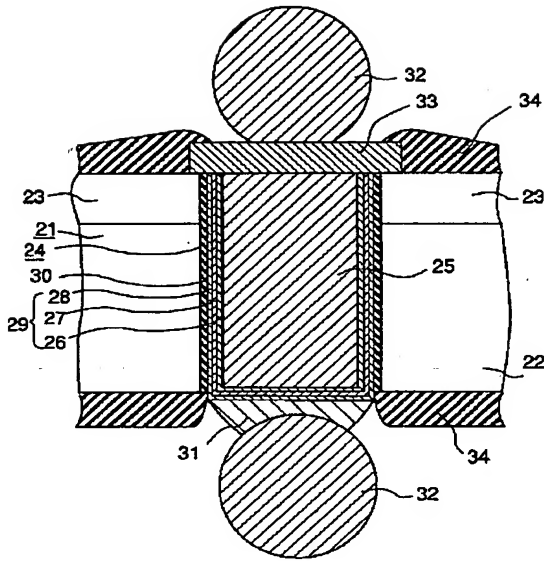
【図16】



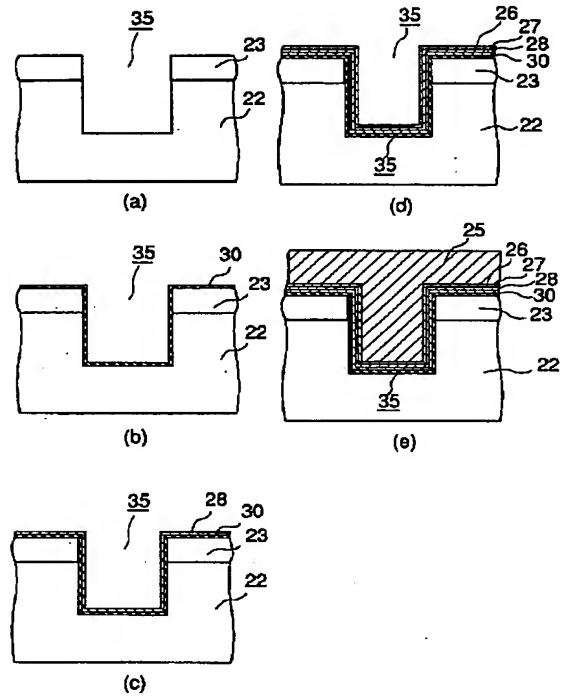
【図17】



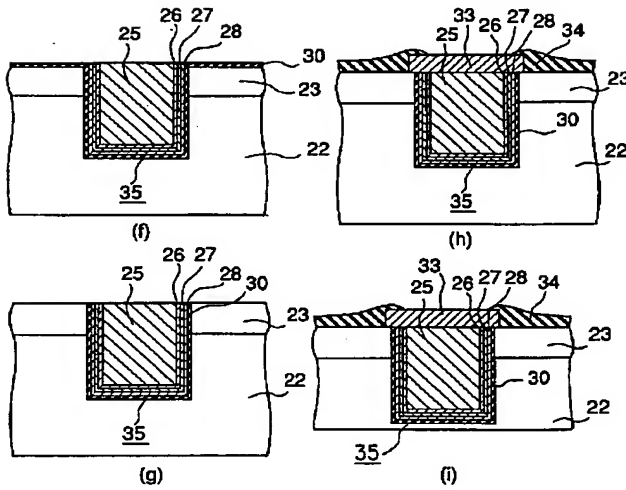
【図 3】



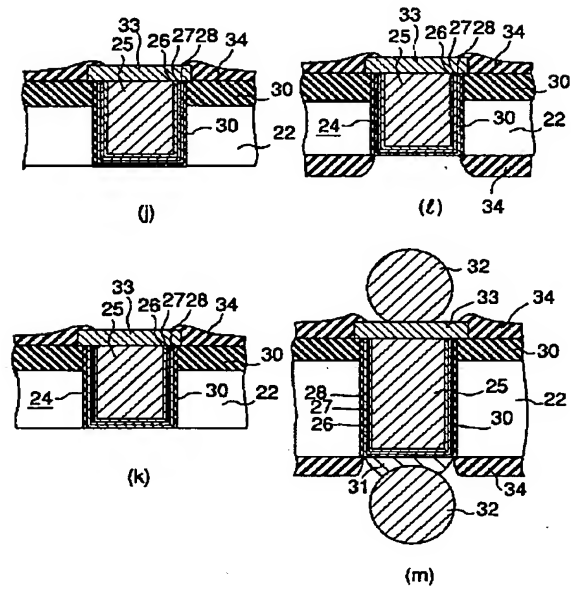
【図 4】



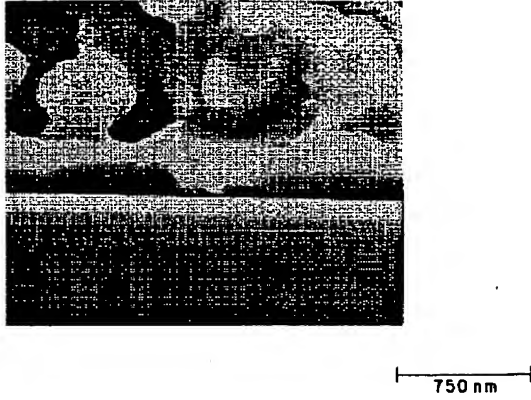
【図 5】



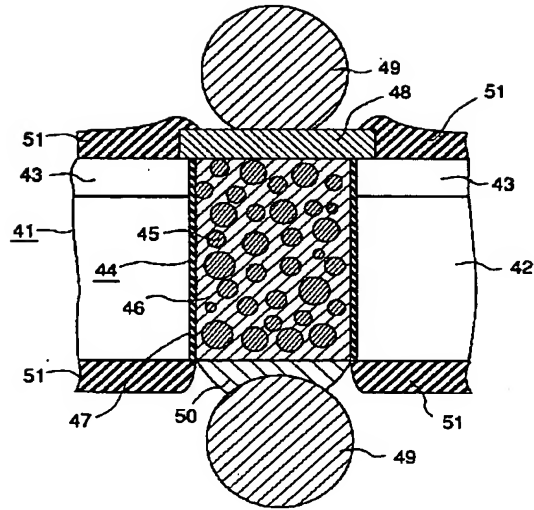
【図 6】



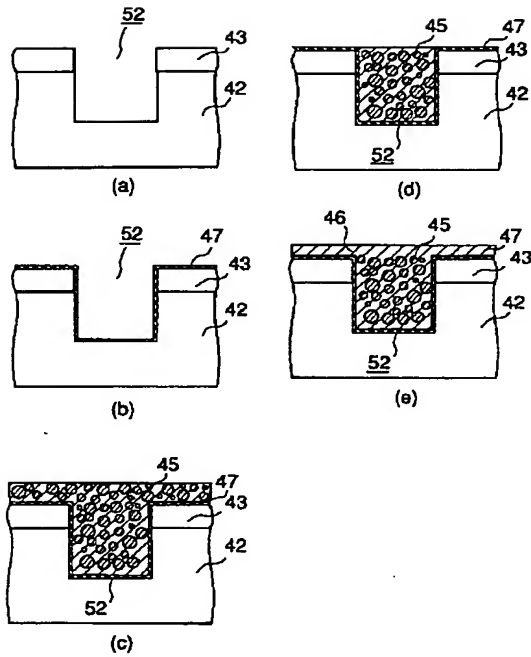
【図 7】



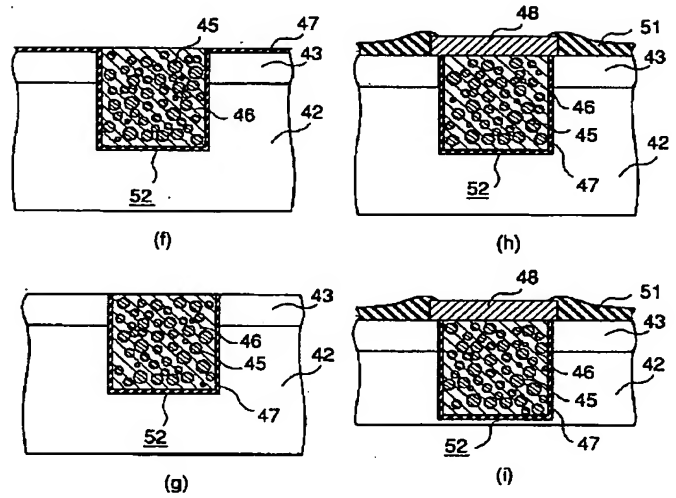
【図 8】



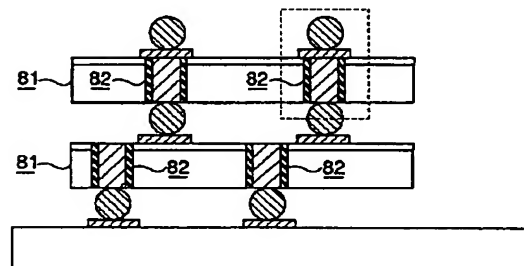
【図 9】



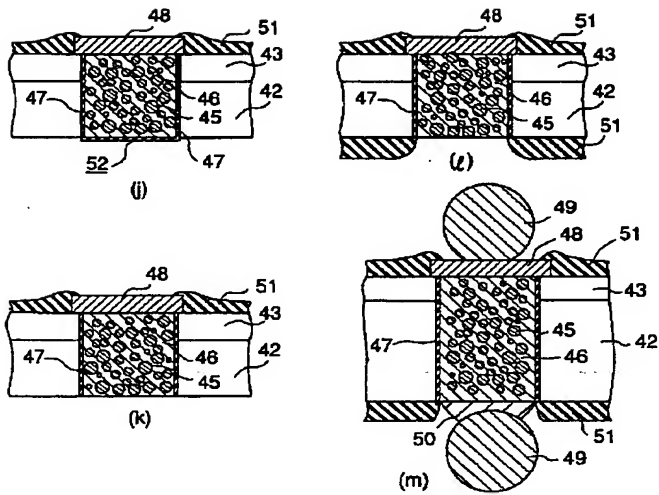
【図 10】



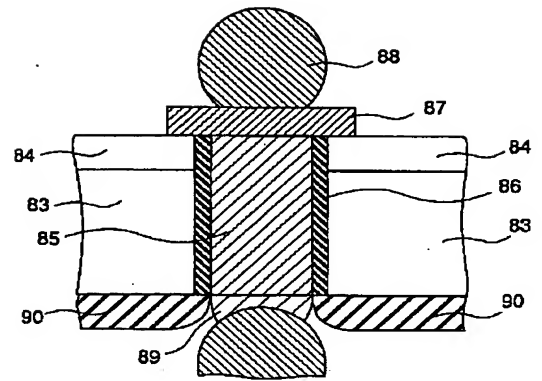
【図 12】



【図 11】



【図 13】



フロントページの続き

(72)発明者 久恒 善美
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345933

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18
// H01L 27/00

(21)Application number : 10-151799

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 01.06.1998

(72)Inventor : KIMURA MANABU

SASAKI KEIICHI

MATSUO MIE

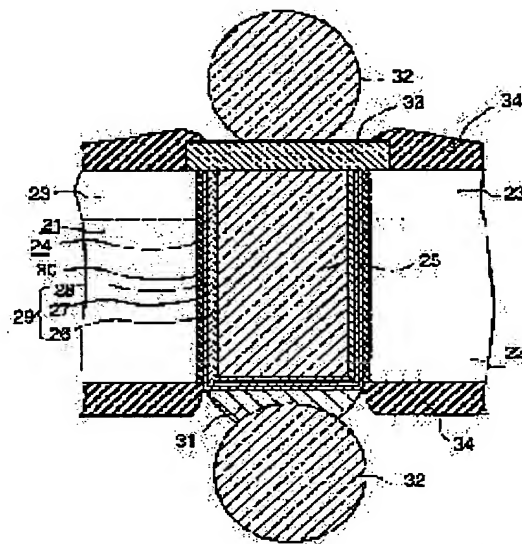
HISATSUNE YOSHIMI

(54) MULTICHIP SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a multichip module capable of preventing the occurrence of a defect due to the diffusion of a solder constituting material, even when connection between a bump electrode and conductive paste for a chip through plug is executed by soldering.

SOLUTION: The multichip module comprises a plurality of laminated semiconductor chips 21, a chip through plug 24 is formed in a through hole passed through a Si substrate 22 at least for one of the semiconductor chips 21, the plug 24 is electrically connected to an Au bump electrode 32 through Sn-Zn solder 31, and the Au bump electrode 32 is electrically connected to the other chip. The chip through plug 24 is constituted of conductive paste 25 acting as a plug body, a barrier metal film 29 covering the sidefaces and bottom of the paste 25, and a silicon nitride film 30 formed between the barrier metal film 29 and the inwall of the through hole.



LEGAL STATUS

[Date of request for examination]

13.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3397689

[Date of registration]

14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically The insulating barrier film with which said connecting plug was prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, The multichip semiconductor device characterized by consisting of conductive barrier film prepared between said lead-wire nature pastes and said solder.

[Claim 2] It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically The conductive barrier film with which said connecting plug was prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, and between said lead-wire nature pastes and said solder, The multichip semiconductor device characterized by consisting of insulating barrier film prepared between this conductive barrier film and said through tube wall.

[Claim 3] It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically Said connecting plug is a multichip semiconductor device characterized by consisting of insulating barrier film prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, and conductive matter filled up with the clearance under said conductive paste.

[Claim 4] Said insulating barrier film is the manufacture approach of the multichip semiconductor device according to claim 1 to 3 characterized by being what can prevent that the impurity under said conductive paste is spread in said semi-conductor substrate.

[Claim 5] Said conductive barrier film is the manufacture approach of the multichip semiconductor device according to claim 2 characterized by being what can prevent that the component of said solder is spread during said conductive paste.

[Claim 6] Said conductive paste is a multichip semiconductor device according to claim 1 to 3 characterized by preparing the adhesion film between said conductive paste and said insulating barrier film excluding glass.

[Claim 7] The process which forms a slot in the front face of a semi-conductor substrate, and the process which carries out sequential formation of the insulating barrier film and the conductive barrier film on the whole surface so that the front face of a front slot may be covered, The process which carries out pad formation of the conductive paste as a plug body through said insulating barrier film and the conductive barrier film inside said slot, The manufacture approach of the multichip semiconductor device characterized by having the process at which this exposed insulating barrier film is removed and said conductive barrier film is exposed after retreating the rear face of said substrate and exposing said insulating barrier film.

[Claim 8] The process which forms a slot in the front face of a semi-conductor substrate, and the process which forms the insulating barrier film in the whole surface so that the front face of a front slot may be covered, The process which carries out pad formation of the conductive paste as a plug body through said insulating

barrier film inside said slot, The manufacture approach of the multichip semiconductor device characterized by having the process at which this exposed insulating barrier film is removed and said paste is exposed after retreating the process which fills up the clearance under said conductive paste with the conductive matter, and the rear face of said substrate and exposing said insulating barrier film.

[Claim 9] The process which fills up the clearance under said conductive paste with the conductive matter is the manufacture approach of the multichip semiconductor device according to claim 8 characterized by consisting of a process which applies the liquefied conductive matter on said conductive paste.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to two or more multichip semiconductor device which comes to carry out the laminating of the chip and its manufacture approach.

[0002]

[Description of the Prior Art] It is necessary to shorten connection wiring between semiconductor chips as much as possible for advanced features of the electronic-circuitry system which consists of two or more semiconductor chips, especially high-speed-operation-izing.

[0003] Therefore, the technique which minimum-izes connection wiring between semiconductor chips is examined by carrying out the laminating of two or more semiconductor chips to the approach of putting two or more conventional semiconductor chips in order superficially, and mounting them on a multilayer substrate. Thus, the semiconductor device which comes to carry out the laminating of two or more semiconductor chips is called the multi chip module.

[0004] By the way, in order to manufacture this kind of multi chip module, it is necessary to connect electrically between the semiconductor chips by which the laminating was carried out up and down. In order to make such connection, this invention persons have already proposed using the chip through plug 82 which penetrates a semiconductor chip 81, as shown in the sectional view of drawing 12.

[0005] The sectional view where the part surrounded by the drawing 12 destructive line by drawing 13 is detailed is shown. A semiconductor chip 81 consists of an Si substrate 83, and the circuitry layer 84 which comes to carry out accumulation formation of the component is formed in the front face.

[0006] The chip through plug 82 is SiO₂ formed so that the side face of the conductive paste (plug body) 85 of the sintering mold which consists of metals, such as nickel and aluminum, and this conductive paste 85 might be covered. It consists of film 86.

[0007] The conductive paste 85 is connected to Au bump electrode 88 through aluminum pad electrode 87 at the circuitry layer 84 side. On the other hand, in a circuitry layer 84 and the opposite side, the conductive paste 85 is connected with Au bump electrode 88 through the Sn-Zn solder 89.

[0008] When, as for the reason connected to Au bump electrode 88 through the Sn-Zn solder 89, a defect generates the conductive paste 85 here in some semiconductor chips 81 by which the laminating was carried out, it is for enabling it to repair easily by melting the Sn-Zn solder 89, removing the faulty semiconductor chip 81, and exchanging for the semiconductor chip 81 of an excellent article.

[0009] By the way, the conductive paste 85 is the sintered compact of metal particles, and as shown in the microphotography concerning the cross section SEM of drawing 13, many clearances (pore) exist between metal particles. Therefore, the component of the Sn-Zn solder 89 spreads and invades during the conductive paste 83 through a clearance.

[0010] The microphotography of the cross section SEM which shows that to drawing 14 - drawing 16 is shown. The microphotography which drawing 14 requires for the cross section SEM of aluminum paste, the microphotography which drawing 15 requires for the cross section SEM of the sample which applied Sn-Zn solder with the DIP method on aluminum paste, and drawing 16 are the microphotography to which the part was expanded. These drawings show that Sn-Zn solder invades during aluminum paste, when Sn-Zn solder is applied on aluminum paste.

[0011] It spreads and invades into aluminum pad electrode 87 further, and aluminum of aluminum pad electrode 87 is corroded, and when the worst, the component of the Sn-Zn solder 89 which spread and invaded during the conductive paste 85 is spread to a circuitry layer 84, and causes the defect of a semiconductor chip 81.

[0012]

[Problem(s) to be Solved by the Invention] Since the conventional multi chip module was making connection between a bump electrode and a conductive paste (plug body) with solder like ****, the component of solder spread and trespassed upon the opening under conductive paste, it invaded into the pad electrode further, and the pad electrode was corroded, when the worst, it was spread to the circuitry layer of a semiconductor chip, and there was a problem of causing the defect of a semiconductor chip.

[0013] This invention was made in consideration of the above-mentioned situation, and the place made into the purpose is to offer the multichip semiconductor device which can prevent defect generating by diffusion of the component of solder, and its manufacture approach, even if it makes with solder connection with the connecting plug which consists of a bump electrode and a conductive paste.

[0014]

[Means for Solving the Problem] [Elements of the Invention] -- the 1st multichip semiconductor device concerning this invention, in order to attain the account purpose of a top It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically Said connecting plug is characterized by consisting of insulating barrier film prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, and conductive barrier film prepared between said lead-wire nature pastes and said solder.

[0015] Moreover, the 2nd multichip semiconductor device concerning this invention It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically The conductive barrier film with which said connecting plug was prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, and between said lead-wire nature pastes and said solder, It is characterized by consisting of insulating barrier film prepared between this conductive barrier film and said through tube wall.

[0016] Moreover, the 3rd multichip semiconductor device concerning this invention It comes to carry out two or more laminatings of the chip which has the semi-conductor substrate with which accumulation formation of the component was carried out. At least one chip In the multichip semiconductor device which a connecting plug is formed in the through tube which penetrates that semi-conductor substrate, and this connecting plug is electrically connected with a bump electrode through solder, and comes to connect this bump electrode with other chips electrically Said connecting plug is characterized by consisting of insulating barrier film prepared between the conductive paste as a plug body, and this conductive paste and said through tube wall, and conductive matter filled up with the clearance under said conductive paste.

[0017] Here, as for the insulating barrier film, it is desirable that it is what can prevent that the impurity under conductive paste is spread in a semi-conductor substrate.

[0018] Moreover, as for the conductive barrier film, it is desirable that it is what can prevent that the component of solder is spread during said conductive paste.

[0019] Moreover, when it is what does not contain glass, as for a conductive paste, it is desirable to prepare the adhesion film between a conductive paste and the insulating barrier film.

[0020] The manufacture approach of the 1st multichip semiconductor device concerning this invention The process which forms a slot in the front face of a semi-conductor substrate, and the process which carries out sequential formation of the insulating barrier film and the conductive barrier film on the whole surface so that the front face of a front slot may be covered, The process which carries out pad formation of the conductive paste as a plug body through said insulating barrier film and the conductive barrier film inside said slot, After retreating the rear face of said substrate and exposing said insulating barrier film, it is characterized by having the process at which this exposed insulating barrier film is removed and said conductive barrier film is exposed.

[0021] Moreover, the manufacture approach of the 2nd multichip semiconductor device concerning this invention The process which forms a slot in the front face of a semi-conductor substrate, and the process which forms the insulating barrier film in the whole surface so that the front face of a front slot may be covered, The process which carries out pad formation of the conductive paste as a plug body through said insulating barrier film inside said slot, After retreating the process which fills up the clearance under said conductive paste with the

conductive matter, and the rear face of said substrate and exposing said insulating barrier film, it is characterized by having the process at which this exposed insulating barrier film is removed and said paste is exposed.

[0022] Here, in order to fill up the clearance under conductive paste with the conductive matter, it carries out by applying the liquefied conductive matter on a conductive paste by approaches, such as non-electric-field plating.

[0023] the 1- concerning [operation] this invention -- according to the 3rd multichip semiconductor device, since the conductive barrier film is prepared between a conductive paste and solder, it becomes possible to prevent that the component of solder invades during a conductive paste with this conductive barrier film. Thereby, defect generating by diffusion of the component of solder can be prevented now.

[0024] moreover, the 1- concerning this invention -- according to the 3rd multichip semiconductor device, since the insulating barrier film is prepared between the conductive paste and the through tube wall, it becomes possible to prevent that the impurity under conductive paste is spread in a semi-conductor substrate with this insulating barrier film. This is being able to prevent defect generating by diffusion of the impurity under conductive paste.

[0025] Moreover, according to the 2nd multichip semiconductor device concerning this invention, the operation effectiveness that simplification of a process can be attained by the manufacture approach of the 1st multichip semiconductor device concerning the invention in this application other than the operation effectiveness mentioned above since the insulating barrier film and the conductive barrier film can be formed with the same formation process is also acquired.

[0026]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0027] (1st operation gestalt) Drawing 1 is the sectional view showing the chip through plug (connecting plug) of the multi chip module concerning the 1st operation gestalt of this invention.

[0028] One shows the semiconductor chip among drawing and this semiconductor chip 1 consists of circuitry layers 3 which come to carry out accumulation formation of the Si substrate 2 and the component formed in that front face. The chip through plug 4 which penetrates it is formed in the semiconductor chip 1.

[0029] The conductive paste 5 of the sintering mold which the chip through plug 4 consisted of metals, such as nickel and aluminum, and contained heavy-metal glass, such as lead glass, (plug body), It consists of barrier metal film (conductive barrier film) 10 which consists of the silicon nitride (insulating barrier film) 6 which covers the side face of this conductive paste 5, the Ti film 7 formed on the conductive paste 5 of the opposite side the circuitry layer 3 side, nickel film 8, and Pd film 9.

[0030] This barrier metal film 10 is connected with Au bump electrode 12 through the Sn-Zn solder 11. On the other hand, the conductive paste 5 is connected to Au bump electrode 12 through aluminum pad electrode 13 at the circuitry layer 3 side. In addition, 14 show the passivation film among drawing.

[0031] With such a configuration, it can prevent that the component of the Sn-Zn solder 11 spreads and trespasses upon the clearance under conductive paste 5 with the barrier metal film 10 between the conductive paste 5 and the Sn-Zn solder 11.

[0032] Thereby, defect generating of the component formed in the circuitry layer 10 by diffusion of the component of the Sn-Zn solder 11, i.e., defect generating of a semiconductor chip 1, can be prevented now.

[0033] Moreover, the heavy metal in heavy-metal glass, such as an impurity under conductive paste 5, for example, lead glass etc., can prevent being spread in the Si substrate 2 by the silicon nitride 6 between the conductive paste 5 and the Si substrate 2. Thereby, defect generating of the component formed in the circuitry layer 10 by diffusion of the impurity under conductive paste 5, i.e., defect generating of a semiconductor chip 1, can be prevented now.

[0034] Next, the formation approach of the chip through plug 24 is explained. Drawing 2 is the process sectional view showing the formation approach of the chip through plug 4. As for this formation approach, the formation process of the barrier metal film 10 is added after the formation process of the usual chip through plug.

[0035] First, as shown in drawing 2 (a), after forming the conductive paste 5, the silicon nitride 6, and the passivation film 14 in the Si substrate 2 with which the circuitry layer 3 was formed according to the well-known approach, sequential formation of the Ti film 7, the nickel film 8, and the Pd film 9 is carried out by the sputter so that the inside of the opening 15 of the passivation film 14 may be covered.

[0036] Next, as shown in drawing 2 (b), the wrap resist pattern 16 is formed opening 15 and near [its] the perimeter by the photolithography.

[0037] Next, as shown in drawing 2 (c), the nickel film 8 and the Pd film 9 which used the resist pattern 16 as the mask and have been exposed are etched and removed. Consequently, the Ti film 7 is exposed. Then, ashing of the resist pattern 16 is carried out, for example, and it exfoliates.

[0038] Next, as shown in drawing 2 (d), after forming the wrap resist pattern 17 for the exposed Ti film 7, the Sn-Zn solder 11 is formed on the Pd film 9. Then, ashing of the resist pattern 17 is carried out, for example, and it exfoliates.

[0039] Next, as shown in drawing 2 (e), the Ti film 7 which used the Sn-Zn solder 11 as the mask, and has been exposed is etched and removed.

[0040] Finally, as shown in drawing 2 (f), the Sn-Zn solder 11 is retreated by wet etching, and the chip through plug 4 is completed.

[0041] (2nd operation gestalt) Drawing 3 is the sectional view showing the chip through plug (connecting plug) of the multi chip module concerning the 2nd operation gestalt of this invention.

[0042] 21 show the semiconductor chip among drawing and this semiconductor chip 21 consists of circuitry layers 23 which come to carry out accumulation formation of the Si substrate 22 and the component formed in that front face. The chip through plug 24 which penetrates it is formed in the semiconductor chip 21.

[0043] The conductive paste 25 of the sintering mold which the chip through plug 24 consisted of metals, such as nickel and aluminum, and contained heavy-metal glass, such as lead glass, (plug body), The TiN film 26 which covers the side face of this conductive paste 25, and the front face (base) of a circuitry layer 23 and the opposite side, the Ti film 27, and the barrier metal film (conductive barrier film) 29 which consists of nickel film 28, It consists of silicon nitrides (insulating barrier film) 30 formed in the side face of the conductive paste 25 through this barrier metal film 29.

[0044] The barrier metal film 29 is connected with Au bump electrode 32 through the Sn-Zn solder 31. On the other hand, the conductive paste 25 is connected to Au bump electrode 32 through aluminum pad electrode 33 at the circuitry layer 23 side. In addition, 34 show the passivation film among drawing.

[0045] With such a configuration, it can prevent that the component of the Sn-Zn solder 31 spreads and invades during the conductive paste 25 with the barrier metal film 29 between the conductive paste 25 and the Sn-Zn solder 31. Thereby, defect generating of the component formed in the circuitry layer 23 by diffusion of the component of the Sn-Zn solder 31, i.e., defect generating of a semiconductor chip 21, can be prevented now.

[0046] Moreover, it becomes possible to prevent that the heavy metal in heavy-metal glass, such as the impurity under conductive paste 25, for example, lead glass etc., is spread in the Si substrate 22 by the silicon nitride 30 between the conductive paste 25 and the Si substrate 22. Thereby, defect generating of the component 21 formed in the circuitry layer 23 by diffusion of the impurity under conductive paste 25, i.e., a semiconductor chip, can be prevented now.

[0047] Next, the formation approach of the chip through plug 24 is explained. Drawing 4 – drawing 6 are the process sectional views showing the formation approach of the chip through plug 24.

[0048] First, as shown in drawing 4 (a), a circuitry layer 23 is formed in the front face of the Si substrate 22, continuously, by reactive ion etching (RIE:Reactive Ion Etching) using the ICP type high density plasma, a circuitry layer 23 is penetrated and the slot 35 attained to the depth in the middle of the Si substrate 22 is formed. The orifice diameter of this slot 35 is 50–100 micrometers, and the depth is 150–200 micrometers.

[0049] Next, as shown in drawing 4 (b), the silicon nitride 30 is formed in the whole surface with a CVD method so that the front face of a slot 35 may be covered.

[0050] Next, as shown in drawing 4 (c), the nickel film 28 is formed with a spatter or plating on the silicon nitride 30.

[0051] Next, as shown in drawing 4 (d), sequential formation of the Ti film 27 and the TiN film 26 is carried out by the spatter on the nickel film 28. Here, the TiN film 26 may be formed with a CVD method.

[0052] Next, as shown in drawing 4 (e), the conductive paste 25 is applied to the whole surface with screen printing etc. so that it may be filled up with the interior of a slot 35.

[0053] Next, as shown in drawing 5 (f), CMP etc. removes the conductive surplus paste 25, the external TiN film 26, and the external Ti film 27 of a slot 35. Then, the conductive paste 25 is calcinated.

[0054] Next, as shown in drawing 5 (g), the surplus exterior [of a slot 35] silicon nitride 30 is removed by the CMP method or the CDE method.

[0055] Next, as shown in drawing 5 (h), after forming aluminum pad electrode 35 which consists of aluminum or Cu addition aluminum on the conductive paste 25, the passivation film 34 which consists of silicon nitride, polyimide, etc. is formed.

[0056] Next, as shown in drawing 5 (i), it leaves Si with a thickness of about 1 micrometer from the base of a

slot 35, and the rear face of the Si substrate 22 is ground and is retreated.

[0057] Next, the rear face of the Si substrate 22 is retreated by wet etching or CDE until the silicon nitride 30 is exposed, as shown in drawing 6 (j). Consequently, a through tube will be formed in the Si substrate 21.

[0058] Next, as shown in drawing 6 (k), wet etching or CDE removes the exposed silicon nitride 30, and the nickel film 28 is exposed. Consequently, the chip through plug 24 which penetrates a semiconductor chip is completed.

[0059] As the formation process of the usual multi chip module continues, for example, a next process is shown in drawing 6 (l), and shown in the process and drawing 6 (m) which form the passivation film 34 which is from silicon nitride, polyimide, etc. on the rear-face side of the Si substrate 22, the process which forms the Sn-Zn solder 31 and aluminum pad electrode 33, and the process which connects Au bump electrode 32 continue.

[0060] If it is such a formation approach, since the barrier metal film 29 shown in drawing 3 and the silicon nitride 30 can be formed with the same formation process, after forming the silicon nitride 30 like the 1st operation gestalt, compared with the approach of forming the barrier film 10 at another process, it ends with a small routing counter and simplification of a process can be attained.

[0061] (3rd operation gestalt) Drawing 8 is the sectional view showing the chip through plug (connecting plug) of the multi chip module concerning the 3rd operation gestalt of this invention.

[0062] 41 show the semiconductor chip among drawing and this semiconductor chip 41 consists of circuitry layers 43 by which accumulation formation of the Si substrate 42 and the component formed in that front face was carried out. The chip through plug 44 which penetrates it is formed in the semiconductor chip 41.

[0063] This chip through plug 44 consists of silicon nitrides 47 which cover the restoration metal 46 which consists of metals, such as nickel and aluminum, and consists of metals, such as NiB filled up with the clearance (pore) between the conductive particles under the conductive paste (plug body) 45 of the sintering mold containing heavy-metal glass, such as lead glass, and this conductive paste 45, and the side face of the conductive paste 45.

[0064] The conductive paste 45 is connected to Au bump electrode 49 through aluminum pad electrode 48 at the circuitry layer 43 side. On the other hand, in the opposite side, the conductive paste 45 is connected with Au bump electrode 49 through the Sn-Zn solder 50 in the circuitry layer 43. In addition, 51 show the passivation film among drawing.

[0065] Since it fills up with the clearance between the conductive particles under conductive paste 45 (pore) with the restoration metal 46 with such a configuration, it can prevent that the component of the Sn-Zn solder 50 spreads and invades during a conductive paste. Thereby, defect generating of the component formed in the circuitry layer 43 by diffusion of the component of the Sn-Zn solder 50, i.e., defect generating of a semiconductor chip 41, can be prevented now.

[0066] Moreover, it becomes possible to prevent that the heavy metal in heavy-metal glass, such as the impurity under conductive paste 45, for example, lead glass etc., is spread in the Si substrate 42 by the silicon nitride 47 between the conductive paste 45 and the Si substrate 42. Thereby, defect generating of the component formed in the circuitry layer 43 by diffusion of the impurity under conductive paste 45, i.e., defect generating of a semiconductor chip 41, can be prevented now.

[0067] Next, the formation approach of the chip through plug 44 is explained. Drawing 9 - drawing 11 are the process sectional views showing the formation approach of the chip through plug 44.

[0068] First, as shown in drawing 9 (a), a circuitry layer 43 is formed in the front face of the Si substrate 42, continuously, by RIE using the ICP type high density plasma, a circuitry layer 43 is penetrated and the slot 52 attained to the depth in the middle of the Si substrate 42 is formed. The orifice diameter of this slot 52 is 50-100 micrometers, and the depth is 150-200 micrometers.

[0069] Next, as shown in drawing 9 (b), the silicon nitride 47 is formed in the whole surface by the plasma-CVD method so that the front face of a slot 52 may be covered.

[0070] Next, as shown in drawing 9 (c), the conductive paste 45 is applied to the whole surface with screen printing etc. so that it may be filled up with the interior of a slot 52.

[0071] Next, as shown in drawing 9 (d), CMP etc. removes the surplus exterior [of a slot 52] conductive paste 45. Then, the conductive paste 45 is calcinated.

[0072] Next, as shown in drawing 9 (e), the restoration metals 46, such as liquefied nickel, are applied to the whole surface by electroless deposition etc., and as shown in drawing 10 (f), CMP etc. removes the surplus exterior [of a slot 52] restoration metal 46 to the degree filled up with the clearance between the metal particles of the conductive paste 45 (pore) with the restoration metal 46.

[0073] Next, as shown in drawing 10 (g), the surplus exterior [of a slot 52] silicon nitride 47 is removed by the

CMP method or the CDE method.

[0074] Next, as shown in drawing 10 (h), after forming aluminum pad electrode 48 which consists of aluminum or Cu addition aluminum on the conductive paste 45, the passivation film 51 which consists of silicon nitride, polyimide, etc. is formed.

[0075] Next, as shown in drawing 10 (i), it leaves Si with a thickness of about 1 micrometer from the base of a slot 52, and the rear face of the Si substrate 42 is ground.

[0076] Next, the rear face of the Si substrate 42 is retreated by wet etching or CDE until the silicon nitride 47 of the base of a slot 52 is exposed, as shown in drawing 11 (j). Consequently, a through tube will be formed in the Si substrate 42.

[0077] Next, as shown in drawing 11 (k), wet etching or CDE removes the exposed silicon nitride 47, and the conductive paste 45 is exposed. Consequently, the chip through plug 44 which penetrates a semiconductor chip is completed.

[0078] As the formation process of the usual multi chip module continues, for example, a next process is shown in drawing 11 (l), and shown in the process and drawing 11 (m) which form the passivation film 51 which is from silicon nitride, polyimide, etc. on the rear-face side of the Si substrate 42, the process which forms the Sn-Zn solder 50 and aluminum pad electrode 48, and the process which connects Au bump electrode 49 continue.

[0079] In addition, this invention is not limited to the above-mentioned operation gestalt. For example, although what contained heavy-metal glass, such as lead glass, as a conductive paste was used with the above-mentioned operation gestalt, what does not contain glass components, such as lead glass, may be used.

[0080] In this case, since there is no glass component, the adhesion between a conductive paste and Si substrate falls. It is [such to un-arrange] good to insert the adhesion film which can carry out reactivity to the conductive particle under conductive paste, and can raise adhesion between a conductive paste and Si substrate.

[0081] For example, when nickel paste is used as a conductive paste, it is good to use nickel film or Nb film as adhesion film. Moreover, when aluminum paste is used as a conductive paste, it is good to use nickel film, the palladium film, or the polycrystal Si film as adhesion film. Moreover, as the membrane formation approach of the adhesion film, a spatter, electroless plating, etc. are raised, for example.

[0082] The microphotography which is the result of observing the sample which comes to calcinate nickel paste on nickel film to drawing 7 by the cross section SEM is shown. The above-mentioned nickel film was formed by the spatter. Drawing shows that the reaction has occurred between nickel particle under nickel paste, and nickel film.

[0083] Therefore, what is necessary is just to insert nickel film between the conductive paste 25 and the TiN film 26 in this case between the conductive paste 25 and the Si substrate 22, when using nickel paste as a conductive paste 25 in the case of the 2nd operation gestalt.

[0084] Moreover, although the silicon nitride was used as insulating barrier film with the upper operation gestalt, as long as it can prevent that insulate a conductive paste and Si substrate and the impurity under conductive paste is spread in Si substrate, you may be other insulator layers.

[0085] Moreover, although the cascade screen of Ti film, nickel film, and Pd film and the cascade screen of the TiN film, Ti film, and nickel film were used as conductive barrier film with the upper operation gestalt, as long as it can prevent that the component of solder is spread during a conductive paste, you may be other conductive film or monolayers of a laminated structure.

[0086] Moreover, solder is not limited to Sn-Zn solder, either.

[0087] Moreover, there may be a semiconductor chip which has the chip through plug which is not electrically connected with other semiconductor chips. That is, there may be a semiconductor chip which formed the chip through plug only for the purpose of an improvement of heat dissipation nature.

[0088] In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0089]

[Effect of the Invention] Since the conductive barrier film is prepared between a conductive paste and solder according to this invention as explained in full detail above, it becomes possible to prevent that the component of solder spreads and invades during a conductive paste with this conductive barrier film, and the multichip semiconductor device which can prevent defect generating by diffusion of the component of solder by this, and its manufacture approach can be realized.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the chip through plug of the multi chip module concerning the 1st operation gestalt of this invention

[Drawing 2] The process sectional view showing the formation approach of this chip through plug

[Drawing 3] The sectional view showing the chip through plug of the multi chip module concerning the 2nd operation gestalt of this invention

[Drawing 4] The process sectional view showing the formation approach of this chip through plug

[Drawing 5] The process sectional view showing the formation approach of this chip through plug following drawing 4

[Drawing 6] The process sectional view showing the formation approach of this chip through plug following drawing 5

[Drawing 7] The microphotography in which the result of having observed the sample which comes to calcinate nickel paste on nickel film by the cross section SEM is shown

[Drawing 8] The sectional view showing the chip through plug of the multi chip module concerning the 3rd operation gestalt of this invention

[Drawing 9] The process sectional view showing the formation approach of this chip through plug

[Drawing 10] The process sectional view showing the formation approach of this chip through plug following drawing 9

[Drawing 11] The process sectional view showing the formation approach of this chip through plug following drawing 10

[Drawing 12] The sectional view showing the conventional multi chip module

[Drawing 13] The sectional view showing structure with the detailed chip through plug of this multi chip module

[Drawing 14] The microphotography concerning the cross section SEM which shows that the clearance between metal particles (pore) exists during a conductive paste

[Drawing 15] The microphotography concerning the cross section SEM of aluminum paste

[Drawing 16] The microphotography concerning the cross section SEM of the sample which applied Sn-Zn solder with the DIP method on aluminum paste

[Drawing 17] The microphotography to which a part of drawing 15 was expanded

[Description of Notations]

- 1 -- Semiconductor chip
- 2 -- Si substrate
- 3 -- Circuitry layer
- 4 -- Chip through plug (connecting plug)
- 5 -- Conductive paste (plug body)
- 6 -- Silicon nitride (insulating barrier film)
- 7 -- Ti film
- 8 -- nickel film
- 9 -- Pd film
- 10 -- Barrier metal film (conductive barrier film)
- 11 -- Sn-Zn solder
- 12 -- Au bump electrode
- 13 -- aluminum pad electrode
- 14 -- Passivation film

- 15 --- Opening
- 16 --- Resist pattern
- 17 --- Resist pattern
- 21 --- Semiconductor chip
- 22 --- Si substrate
- 23 --- Circuitry layer
- 24 --- Chip through plug (connecting plug)
- 25 --- Conductive paste (plug body)
- 26 --- TiN film
- 27 --- Ti film
- 28 --- nickel film
- 29 --- Barrier metal film (conductive barrier film)
- 30 --- Silicon nitride (insulating barrier film)
- 31 --- Sn-Zn solder
- 32 --- Au bump electrode
- 33 --- aluminum pad electrode
- 34 --- Passivation film
- 35 --- Slot
- 41 --- Semiconductor chip
- 42 --- Si substrate
- 43 --- Circuitry layer
- 44 --- Chip through plug (connecting plug)
- 45 --- Conductive paste (plug body)
- 46 --- Restoration metal
- 47 --- Silicon nitride (insulating barrier film)
- 48 --- aluminum pad electrode
- 49 --- Au bump electrode
- 50 --- Sn-Zn solder
- 51 --- Passivation film
- 52 --- Slot

[Translation done.]